

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

11719528

Basic Patent (No,Kind,Date): JP 6098081 A2 940408 <No. of Patents: 001>

SOLID-STATE IMAGE PICKUP ELEMENT (English)

Patent Assignee: HITACHI LTD; HITACHI DEVICE ENG

Author (Inventor): IZAWA TETSURO; TAKEMOTO KAYAO; NAKAMURA SHIGEO;
OGURA

AKIRA

IPC: *H04N-001/028; H04N-005/335

Derwent WPI Acc No: G 94-155387

JAPIO Reference No: 180364E000147

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 6098081	A2	940408	JP 92270828	A	920914 (BASIC)

Priority Data (No,Kind,Date):

JP 92270828 A 920914

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04454181 **Image available**
SOLID-STATE IMAGE PICKUP ELEMENT

PUB. NO.: **06-098081** [JP 6098081 A]

PUBLISHED: April 08, 1994 (19940408)

INVENTOR(s): IZAWA TETSURO
TAKEMOTO KAYAO
NAKAMURA SHIGEO
OGURA AKIRA

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)
HITACHI DEVICE ENG CO LTD [486661] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 04-270828 [JP 92270828]

FILED: September 14, 1992 (19920914)

INTL CLASS: [5] H04N-001/028; H04N-005/335

JAPIO CLASS: 44.7 (COMMUNICATION -- Facsimile); 44.6 (COMMUNICATION --
Television)

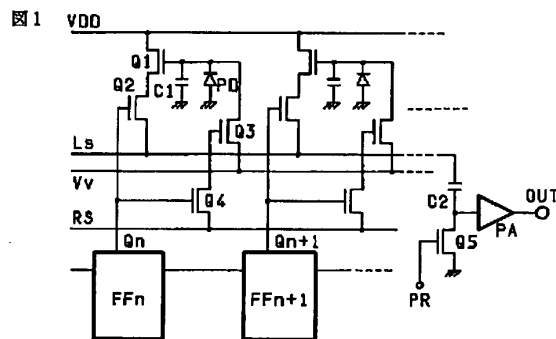
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements,
CCD & BBD)

JOURNAL: Section: E, Section No. 1575, Vol. 18, No. 364, Pg. 147, July
08, 1994 (19940708)

ABSTRACT

PURPOSE: To obtain an image signal with low power consumption, high
sensitivity, and high quality.

CONSTITUTION: A signal charge photoelectrically converted by a complete
depletion photodiode PD is transmitted to a capacitor C1 which converts it
into a voltage signal, and plural picture element cells including a source
follower amplifier element Q1 which takes out the holding voltage of the
capacitor, a switching element Q2 for readout selection, and switching
elements Q3, Q4 for reset which supply a reset voltage to the photodiode
are arranged in at least one line shape, and an output capacitor C2 whose
electrode on one side is connected to an output line via a switch for
selection is provided, and a picture element signal in accordance with a
photoelectric conversion signal is outputted via the switching element for
readout selection after the output capacitor is reset at a first timing,
and following that, a reset voltage is supplied to the photodiode PD via
the switching element for reset at a second timing, then, the picture
element signal setting reset potential as reference can be obtained via the
output capacitor C2.



【特許請求の範囲】

【請求項 1】 完全空乏化フォトダイオード、このフォトダイオードにより光電変換された信号電荷を受けて電圧信号に変換するキャパシタと、このキャパシタの保持電圧を受けるソースフォロワ増幅素子、この増幅素子のソース側に設けられる読み出し選択用のスイッチ素子及び上記フォトダイオードにリセット電圧を与えるリセット用スイッチ素子とを含む画素セルが少なくとも 1 つのライン状に複数個配置され、上記選択用のスイッチを介して出力線に一方の電極が結合された出力キャパシタを含む出力回路を備え、第 1 のタイミングにおいて上記出力キャパシタをリセットさせた後に読み出し選択用のスイッチ素子を介して光電変換信号に対応した画素信号を出力させ、引き続いて第 2 のタイミングにおいてリセット用スイッチ素子を介して当該フォトダイオードにリセット電圧を与えて、上記出力キャパシタを介してリセット電位を基準にした画素信号を取り出すことを特徴とする固体撮像素子。

【請求項 2】 上記画素セルに対応して設けられるキャパシタに比べて出力キャパシタの容量値が大きく形成されるものであることを特徴とする請求項 1 の固体撮像素子。

【請求項 3】 上記 1 つのライン状に配置される画素セルは、フォトダイオードが一直線上に配置されるのに対して、その読み出し回路とリセット回路及びシフトレジスタが上記フォトダイオード列を挟んで両側に交互に配置され、両側の回路に対応して出力キャパシタが設けられるものであることを特徴とする請求項 1 又は請求項 2 の固体撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、固体撮像素子に関し、低電圧での動作が可能で高感度のラインセンサに利用して有効な技術に関するものである。

【0002】

【従来の技術】 CCD 型ラインセンサの例として、テレビジョン学会編『固体撮像デバイス』第 7 章頁 216 等がある。また、固体撮像素子の高感度及び高 SN 比の要求に答えるものとして、例えば 1986 年のテレビジョン学会全国大会予稿集 PP. 51-52 で報告されているように、フォトダイオードにより形成した光電変換信号をソースフォロワアンプにより直接外部に読み出すものがある。

【0003】

【発明が解決しようとする課題】 CCD 型ラインセンサは、CCD 素子を駆動するため比較的高い動作電圧を必要とし、比較的消費電力が多くなるとともに周辺回路の構成が複雑になってしまう。そこで、本願発明者においては、上記ソースフォロワアンプを用いて高感度化を図りつつ、低消費電力化を実現した固体撮像素子の開発をす

るに至った。

【0004】 この発明の目的は、低消費電力で高感度及び高品質の画像信号を得ることができる固体撮像素子を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、完全空乏化フォトダイオードにより光電変換された信号電荷を電圧信号に変換するキャパシタに伝え、このキャパシタの保持電圧をソースフォロワ増幅素子と読み出し選択用のスイッチ素子及び上記フォトダイオードにリセット電圧を与えるリセット用スイッチ素子とを含む画素セルを少なくとも 1 つのライン状に複数個配置し、上記選択用のスイッチを介して出力線に一方の電極が結合された出力キャパシタを設け、第 1 のタイミングにおいて上記出力キャパシタをリセットさせた後に読み出し選択用のスイッチ素子を介して光電変換信号に対応した画素信号を出力させ、引き続いて第 2 のタイミングにおいてリセット用スイッチ素子を介して当該フォトダイオードにリセット電圧を与えて、上記出力キャパシタを介してリセット電位を基準にした画素信号を得るようにする。

【0006】

【作用】 上記した手段によれば、スイッチ素子の制御によって読み出し動作を行うものであるため低電圧での動作が可能となって低消費電力化が図られるとともに、フォトダイオードの信号電荷を電圧信号に変換するキャパシタと出力キャパシタとの容量比に従い信号電荷の増幅動作を行わせることができ、しかもリセット電圧を基準にして読み出し信号を得るものであるため選択経路における素子特性のバラツキの悪影響を受けない。

【0007】

【実施例】 図 1 には、この発明に係るラインセンサの一実施例の概略回路図が示されている。同図においては、代表として 2 画素分の画素セルとその選択回路及び信号読み出し回路が例示的に示されている。上記ラインセンサを構成する各回路素子は、公知の半導体集積回路の製造技術によって、1 個の半導体基板上において形成される。

【0008】 1 つの画素セルは、アノード側電極が回路の接地電位に結合されたフォトダイオード PD と、そのフォトダイオード PD と並列形態にされたキャパシタ C1 と、このキャパシタ C1 の保持電圧がゲートに供給された増幅 MOSFET (絶縁ゲート型電界効果トランジスタ、以下同じ) Q1 と、上記フォトダイオード PD のカソード側電極にリセット電圧 V_{rr} を供給するスイッチ MOSFET Q3、上記増幅 MOSFET Q1 のソース側に設けられた読み出し選択用のスイッチ MOSFET

Q2及びスイッチMOSFETQ3にリセット信号RSを供給するスイッチMOSFETQ4とから構成される。

【0009】フォトダイオードPDは、CCD固体撮像素子に用いられるような完全空乏化フォトダイオードとされる。すなわち、P型のウェル領域とその表面に形成されたN⁺型半導体領域とにより構成されたPN接合によりフォトダイオードを形成するとともに、上記N⁺型半導体領域の表面にP⁺型半導体領域が形成される。そして、上記フォトダイオードPDのカソード側の電極を構成するN⁺型半導体領域にリセット電圧V_vを供給することにより、P型のウェル領域とN⁺型半導体領域とを空乏化する。このようなPN接合部の空乏化によって、そこで発生した光電変換電荷は、逐次にキャパシタC1に転送される。

【0010】上記読み出し用スイッチMOSFETQ2のゲートとリセット信号RSをリセットMOSFETQ3に伝えるスイッチMOSFETQ4のゲートには、読み出し用のシフトレジスタの出力信号Q_nが共通に供給される。上記幅MOSFETQ1のドレインは、5Vのような低い電源電圧VDDが供給される。

【0011】同図において、代表として例示的に示されている他の画素セルにおける上記同様なリセット用のスイッチMOSFETのドレインは、リセット電圧V_vが供給され、そのゲートには次段のシフトレジスタの出力信号Q_{n+1}を受けるスイッチMOSFETを介してリセット信号RSが供給される。同様に、読み出し用のスイッチMOSFETのゲートには、上記次段のシフトレジスタの出力信号Q_{n+1}が供給される。

【0012】上記読み出し用のスイッチMOSFETが共通に接続される出力線LSには、出力キャパシタC2の一方の電極が接続される。このキャパシタC2の他方の電極には、スイッチMOSFETQ5を介して接地電位が与えられる。このスイッチMOSFETQ5のゲートには、出力リセットパルスPRが供給される。そして、上記キャパシタC2の他方の電極から出力信号が得られ、プリアンプPAを介して増幅された画素信号が外部端子OUTから送出される。

【0013】上記図1のラインセンサの読み出し動作の一例を第2図に示したタイミング図を参照して説明する。シフトレジスタのシフト動作により、出力信号Q_nがハイレベルにされると、それと同期して出力リセットパルスPRがハイレベルにされる。この出力リセットパルスPRのハイレベルに応じてスイッチMOSFETQ5がオン状態にされている。

【0014】完全空乏化フォトダイオードPDにおいては、そこで形成された光電変換電荷が逐次にキャパシタC1に転送されて信号電圧に変換されている。それ故、上記出力信号Q_nのハイレベルに応じて読み出し用のスイッチMOSFETQ2がオン状態にされると、増

幅MOSFETQ1とこのスイッチMOSFETQ2を通してキャパシタC2にはキャパシタC1に保持された信号電圧に対応したチャージアップ動作が行われる。このような信号の読み出し動作に応じて出力線LSの電位は、上記キャパシタC1の保持電圧から増幅MOSFETQ1のゲート、ソース間のしきい値電圧に対応してレベルシフトされた読み出し電圧となり、それがキャパシタC2に保持される。

【0015】上記のリセット信号PRがハイレベルからロウレベルに変化し、スイッチMOSFETQ5がオフ状態にされると、リセット信号RSがハイレベルになり、シフトレジスタの出力信号Q_nによってオン状態にされているスイッチMOSFETQ4を通してリセット信号RSがリセット用MOSFETQ3のゲートに伝えられる。これにより、リセット用MOSFETQ3がオン状態となり、フォトダイオードPDにリセット電圧V_vを供給する。

【0016】このとき、読み出し用のスイッチMOSFETQ2はオン状態を維持しているので、出力線LSには上記リセット電圧V_vに対応した出力信号V_{v'}が増幅MOSFETQ1を介して出力される。すなわち、出力線LSの電位V_{v'}は、上記リセット電圧V_vから増幅MOSFETQ1のしきい値電圧に対応してレベルシフトされた電圧となり、キャパシタC2の他端の電極からはリセット電圧V_vを基準にした読み出し信号が得られる。このようなリセット電圧V_vを基準にした読み出し信号には、キャパシタC2での差成分の取り出しにより増幅MOSFETQ1のしきい値電圧が相殺されるので、そのプロセスバラツキの影響を受けない高品質の画像信号をプリアンプPAを介して出力端子OUTから得ることができる。

【0017】次のタイミングで次段のシフトレジスタの出力信号Q_{n+1}がハイレベルにされると、次段のフォトダイオードから同様な読み出し信号が得られる。このようにして、ライン上に配置されたフォトダイオードの光電変換電荷に対応した読み出し信号をシフトレジスタのシフト動作に対応して時系列的に出力させることができる。

【0018】上記の構成では、キャパシタC1とキャパシタC2の容量比に対応して信号電荷が増幅される。上記キャパシタC1を極力小さなサイズにするとともに、キャパシタC2の容量値を比較的大きく形成することにより、ラインセンサの内部回路で信号電荷の増幅作用を持たせることができる。しかも、上記のように出力信号には、上記のリセット電圧V_vを基準にしているため、増幅MOSFETQ1やスイッチMOSFETQ2のプロセスバラツキも相殺させることができる。

【0019】なお、カラーラインセンサを構成する場合には、例えば上記シフトレジスタSRを共通化して、上記のような画素セルと読み出し回路とを三原色に対応し

て 3 組設けるようにすればよい。

【 0 0 2 0 】 図 3 には、この発明に係るラインセンサの他の一実施例の要部回路図が示されている。この実施例では、フォトダイオードに比べて、その読み出し回路とリセット回路が占める面積が大きいことから、フォトダイオード列に対してシフトレジスタ及び読み出し回路とリセット回路が上下に分割されて配置される。これにより、フォトダイオードを高密度で半導体基板上に形成することができる。

【 0 0 2 1 】 この実施例では、リセット用 MOSFET Q 3 は、次の回路によりスイッチ制御せられる。リセット用 MOSFET Q 3 のゲートと電源電圧 VDD との間には、直列形態のスイッチ MOSFET Q 4 と Q 5 が接続される。スイッチ MOSFET Q 4 のゲートには、上下に分割されてなる下側のシフトレジスタ SR 1 の奇数段出力信号 Q (2 n - 1) が供給される。スイッチ MOSFET Q 5 のゲートには、リセット信号 RS が供給される。上記リセット用 MOSFET Q 3 のゲートと回路の接地電位線 S との間には、シフトレジスタの転送用クロックパルス CL 2 が供給される。

【 0 0 2 2 】 上側のシフトレジスタ SR 2 からは、偶数段出力信号 Q 2 n が形成される。上下に分割されてなるシフトレジスタ SR 1 と SR 2 は、クロックパルス CL 1 と CL 2 によりシフト動作を行う。上記奇数段の出力信号 Q (2 n - 1) は、クロックパルス CL 1 に同期して出力され、偶数段の出力信号 Q 2 n は、クロックパルス CL 2 に同期して出力される。

【 0 0 2 3 】 出力回路は、上記のような読み出し回路の上下の分割に応じて 2 つの出力キャパシタ C 2 1 と C 2 2 が設けられる。この実施例では、キャパシタ C 2 1 と C 2 2 の出力線 L S 1 と L S 2 側にも、スイッチ MOSFET Q 7 1 と Q 7 2 が設けられる。クロックパルス CL 1 に同期して出力信号が出力される奇数列のフォトダイオードの出力線 L S 1 に対応したスイッチ MOSFET Q 7 1 のゲートには、クロックパルス CL 2 が供給される。キャパシタ C 2 1 の他方の電極は、クロックパルス CL 1 によりスイッチ制御されるスイッチ MOSFET Q 9 1 を介してプリアンプの入力端子と、リセット用 MOSFET Q 8 に接続される。このリセット用 MOSFET Q 8 には、リセット信号 PR が供給される。

【 0 0 2 4 】 クロックパルス CL 2 に同期して出力信号が出力される偶数列のフォトダイオードの出力線 L S 2 に対応したスイッチ MOSFET Q 7 2 のゲートには、クロックパルス CL 1 が供給される。キャパシタ C 2 2 の他方の電極は、クロックパルス CL 2 によりスイッチ制御されるスイッチ MOSFET Q 9 2 を介してプリアンプの入力端子と、リセット用 MOSFET Q 8 に接続される。このようなクロックパルス CL 1 と CL 2 によりスイッチ制御される MOSFET Q 7 1 と Q 7 2 及び Q 9 1 と Q 9 2 のスイッチング動作により、奇数列と偶

数列のフォトダイオード PD の出力信号を交互にキャパシタ C 2 1 , C 2 2 を介して取り出すことができる。

【 0 0 2 5 】 プリアンプは、増幅 MOSFET Q 1 1 と負荷 MOSFET Q 1 0 からなる反転増幅回路と、この反転増幅回路の出力信号を受けるソースフォロウ出力 MOSFET Q 1 2 と、そのソース側に設けられた負荷 MOSFET Q 1 3 から構成される。特に制限されないが、負荷 MOSFET Q 1 3 は、そのゲートとソースが共通化されたデプレッション型 MOSFET から構成される。

【 0 0 2 6 】 図 5 には、上記ラインセンサの動作の一例を説明するためのタイミング図が示されている。クロックパルス CL 1 がハイレベルのときに、それと同期して奇数段のシフトレジスタ SR 1 の出力信号 Q (2 n - 1) がハイレベルにされる。このシフトレジスタ SR 1 の出力信号 Q (2 n - 1) により、読み出し用のスイッチ MOSFET Q 2 と MOSFET Q 4 がオン状態にされる。上記読み出し用のスイッチ MOSFET Q 2 のオン状態により、キャパシタ C 1 に保持されている信号電圧は、増幅 MOSFET Q 1 とスイッチ MOSFET Q 2 を通して出力線 L S 1 に出力される。

【 0 0 2 7 】 上記のようなクロックパルス CL 1 のハイレベルに先立って、言い換えるならば、1 つ前の偶数列のフォトダイオードの読み出し動作のときのクロックパルス CL 2 のハイレベルにより、出力用線 L S 1 は回路の接地電位にリセットされている。上記のような奇数段の出力信号 Q (2 n - 1) のハイレベルに同期してスイッチ MOSFET Q 9 1 がオン状態あること、及びリセットパルス PR がハイレベルにされていることより MOSFET Q 8 がオン状態であることから、出力信号 L S 1 に読み出された信号 V 2 に対応した出力信号がキャパシタ C 2 1 に保持される。

【 0 0 2 8 】 リセット信号 RS がハイレベルにされると、スイッチ MOSFET Q 5 がオン状態となって、既にオン状態にある MOSFET Q 4 を通してリセット用 MOSFET Q 3 に電源電圧 VDD を供給するので、そのゲート電圧 V 1 がハイレベルにされる。このスイッチ MOSFET Q 3 のオン状態により、フォトダイオード PD には、リセット電圧 V v が供給される。それ故、出力線 L S 1 には、リセット電圧 V v を基準にした出力電圧に変化させられる。

【 0 0 2 9 】 このとき、出力リセット信号 PR はロウレベルにされており、これに応じてスイッチ MOSFET Q 8 がオフ状態にされている。したがって、キャパシタ C 2 1 の出力側はフローティング状態にされており、増幅 MOSFET Q 1 1 のゲートには、上記 MOSFET Q 1 , Q 2 の読み出し経路のプロセスバラツキや、リセット経路のプロセスバラツキを相殺させた真の信号電荷に対応した出力信号が出力される。

【 0 0 3 0 】 このような奇数列の読み出し動作のときに

は、クロックパルスCL1のハイレベルに応じてスイッチMOSFETQ72がオン状態となっており、次に読み出し動作に備えて、偶数列に対応した出力線LS2とキャパシタC22のリセット動作を行うものである。

【0031】クロックパルスCL2がハイレベルにされると、それと同期して偶数段のシフトレジスタSR2の出力信号Q2nがハイレベルにされる。このシフトレジスタSR2の出力信号Q2nにより、上記同様に奇数列のフォトダイオードの読み出し動作が開始されて出力線LS2に第1段階での読み出し信号が得られる。この信号は、オン状態にされているスイッチMOSFETQ92とMOSFETQ8により、キャパシタC22に保持される。

【0032】引き続いて、リセット信号RSがハイレベルにされると、図4では省略されているが、上記同様に出力線LS2はリセット電圧Vvを基準にした出力電圧に変化させられる。このとき、出力リセット信号PRはロウレベルにされており、これに応じて上記スイッチMOSFETQ8がオフ状態にされている。したがって、キャパシタC22の出力側はフローティング状態にされており、増幅MOSFETQ11のゲートには、上記偶数列のフォトダイオードに対応した増幅MOSFETや読み出し用のスイッチMOSFET及びリセット用のMOSFETプロセスバラツキ分を相殺させた真の信号電荷に対応した出力信号が出力される。

【0033】図4には、この発明に係るラインセンサの更に他の一実施例の要部回路図が示されている。この実施例では、ラインセンサのいっそうの低電圧での動作を可能にするため、リセット用のMOSFETQ3のゲートにブートストラップ回路が設けられる。

【0034】リセット用MOSFETQ3のゲートにはブートストラップ用キャパシタC3の一端が接続される。キャパシタC3の他端には、ダイオード形態のMOSFETQ6を介してシフトレジスタSR1の出力信号Q(2n-1)が供給される。上記MOSFETQ3のゲートとリセット信号RSとの間には、スイッチMOSFETQ4が接続される。MOSFETQ4のゲートには、上記ダイオード形態のMOSFETQ6を介したシフトレジスタの出力信号Q(2n-1)が供給される。このMOSFETQ4のゲートと回路の接地線Sとの間には、クロックパルスCL2によりスイッチ制御されるMOSFETQ5が設けられる。このことは、偶数列のシフトレジスタSR2に対応した読み出し回路及びリセット回路においても同様である。

【0035】図6には、上記ラインセンサの動作の一例を説明するためのタイミング図が示されている。クロックパルスCL1がハイレベルのときに、それと同期して奇数段のシフトレジスタSR1の出力信号Q(2n-1)がハイレベルにされる。このシフトレジスタSR1の出力信号Q(2n-1)により、読み出し用のスイッ

チMOSFETQ2がオン状態にされる。上記読み出し用のスイッチMOSFETQ2のオン状態により、キャパシタC1に保持されている信号電圧V3は、増幅MOSFETQ1とスイッチMOSFETQ2を通して出力線LS1に出力される。

【0036】上記出力信号Q(2n-1)のハイレベルにより、ダイオード形態のMOSFETQ6を介してMOSFETQ4のゲート電圧V1がハイレベルにされるので、スイッチMOSFETQ4がオン状態にされる。このMOSFETQ4のオン状態により、MOSFETQ3のゲート電圧V2は、リセット信号RSのロウレベルにされる。それ故、ブートストラップ容量C3とMOSFETQ4のゲートとチャンネル間のゲート容量には、上記電圧V1がチャージアップされる。

【0037】上記のようなクロックパルスCL1のハイレベルに先立って、言い換えるならば、1つ前の偶数列のフォトダイオードの読み出し動作のときのクロックパルスCL2のハイレベルにより、出力用線LS1は回路の接地電位にリセットされている。上記のような奇数段の出力信号Q(2n-1)がハイレベルに変化すると同期してスイッチMOSFETQ91がオン状態あること、及びリセットパルスPRがハイレベルにされていることよりMOSFETQ8がオン状態であることから、出力信号LS1に読み出された信号V3に対応した出力信号がキャパシタC21に保持される。

【0038】リセット信号RSがハイレベルにされると、キャパシタC3のブートストラップ作用によって電圧V1が上昇する。また、スイッチMOSFETQ4のゲート電圧V1がブートストラップ作用によって高くされるから、リセット信号RSがレベル損失なくスイッチMOSFETQ4を通してリセット用MOSFETQ3のゲートに伝えられる。それ故、リセット用MOSFETQ3のゲートに供給される電圧V2は、リセット信号RSがそのまま供給される。このスイッチMOSFETQ3のオン状態により、フォトダイオードPDにはリセット電圧Vvが供給されるので、出力線LS1には、リセット電圧Vvを基準にした出力電圧に変化させられる。このようなブートストラップ作用によって、スイッチMOSFETやダイオード形態のMOSFETでの信号レベルの損失を補うことができるから動作下限電圧を低くすることができる。なお、このような読み出し信号は、キャパシタC21を介して光電変換電圧V3に対応した電圧のみが出力される。

【0039】クロックパルスCL2がハイレベルにされると、それと同期して偶数段のシフトレジスタSR2の出力信号Q2nがハイレベルにされる。このシフトレジスタSR2の出力信号Q2nにより、上記同様に奇数列のフォトダイオードの読み出し動作が開始されて出力線LS2に第1段階での読み出し信号が得られる。この信号は、オン状態にされているスイッチMOSFETQ9

2とMOSFETQ8により、キャパシタC22に保持される。

【0040】引き続き、リセット信号RSがハイレベルにされると、同図では省略されているが、上記同様に出力線LS2はリセット電圧Vvを基準にした出力電圧に変化させられる。このとき、出力リセット信号PRはロウレベルにされており、これに応じて上記スイッチMOSFETQ8がオフ状態にされている。したがって、キャパシタC22の出力側はフローティング状態にされており、増幅MOSFETQ11のゲートには、上記偶数列のフォトダイオードに対応した増幅MOSFETや読み出し用のスイッチMOSFET及びリセット用のMOSFETプロセスバラツキ分を相殺させた真の信号電荷に対応した出力信号が出力される。

【0041】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 完全空乏化フォトダイオードによって光電変換された信号電圧を電圧信号に変換するキャパシタに逐一転送し、このキャパシタの保持電圧をソースフォロウ増幅素子と読み出し選択用のスイッチ素子を介して出力線に出力させるとともに、上記フォトダイオードにリセット電圧を与えるリセット用スイッチ素子を設け、このような画素セルを少なくとも1つのライン状に複数個配置し、上記出力線に一方の電極が結合された出力キャパシタを設け、第1のタイミングにおいて上記出力キャパシタをリセットさせた後に読み出し選択用のスイッチ素子を介して光電変換信号に対応した画素信号を出力させ、引き続き第2のタイミングにおいてリセット用スイッチ素子を介して当該フォトダイオードにリセット電圧を与えて、上記出力キャパシタを介してリセット電位を基準にした画素信号を得るようにする。この構成では、MOSFETのようなスイッチ素子の制御によって読み出し動作を行うものであるため約5Vのような単一の低電圧での動作が可能となって低消費電力化が図られるという効果が得られる。

【0042】(2) 上記(1)により、フォトダイオードの信号電荷を電圧信号に変換するキャパシタと出力キャパシタとの容量比に従い信号電荷の増幅動作を行わせることができ、しかもリセット電圧を基準にして読み出し信号を得るものであるため選択経路における素子特性のバラツキの悪影響を受けなくできるという効果が得られる。

【0043】(3) フォトダイオード列に対してシフトレジスタ及び読み出し系回路とリセット系回路を上下に振り分けて分割することにより、フォトダイオードを高密度に実装することができるという効果が得られる。

【0044】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第

1図の実施例回路において、リセット用MOSFETをPチャンネルMOSFETとし、増幅MOSFETをNチャンネルMOSFETとするCMOS構成としてもよい。この場合、リセット信号RSが回路の接地電位のようなロウレベルにしてリセットを行うようにすることによって、フォトダイオードPDに与えられるリセット電圧Vvをそのまま伝えることができる。すなわち、動作電圧を約3Vのような低電圧化を図ったときに、電源電圧VDDとリセット電圧Vvとが同じ電圧になるような場合、上記のようなCMOS構成とすることにより、リセット用MOSFETとしてNチャンネル型MOSFETを用いた場合のようにしきい値電圧によるレベル低下を防止することができる。

【0045】シフトレジスタSR1、SR2の出力にブートストラップ回路を設けるか、あるいは動作電圧自体を昇圧された電圧とすることにより、Nチャンネル型のリセットMOSFETを用いても上記のようにリセット電圧Vvのレベル損失を防止することができる。フォトダイオード列を複数行設けることにより、エリアセンサを構成することもできる。この場合には、上記のような出力キャパシタの出力側に列選択用回路を設けて、プリアンプの入力端子に入力すればよい。

【0046】この発明に係る固体撮像素子は、5Vのような比較的低い電圧により動作が可能であるため、例えばハンディタイプのバーコードリーダー等に適したものとすることができる。すなわち、ハンディタイプの装置に搭載される固体撮像素子にあっては、電池を電源として用いることが便利であり、その動作電圧の低電圧化により電池の数や電池寿命を長くできる。

【0047】この発明に係る固体撮像素子は、上記のようなハンディタイプのバーコードリーダーの他、ラインセンサあるいはエリアセンサとして各種の撮像装置に広く利用できるものである。

【0048】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、完全空乏化フォトダイオードによって光電変換された信号電圧を電圧信号に変換するキャパシタに逐一転送し、このキャパシタの保持電圧をソースフォロウ増幅素子と読み出し選択用のスイッチ素子を介して出力線に出力させるとともに、上記フォトダイオードにリセット電圧を与えるリセット用スイッチ素子を設け、このような画素セルを少なくとも1つのライン状に複数個配置し、上記出力線に一方の電極が結合された出力キャパシタを設け、第1のタイミングにおいて上記出力キャパシタをリセットさせた後に読み出し選択用のスイッチ素子を介して光電変換信号に対応した画素信号を出力させ、引き続き第2のタイミングにおいてリセット用スイッチ素子を介して当該フォトダイオードにリセット電圧を与えて、上記出力キャパシタを介して

リセット電位を基準にした画素信号を得るようにする。
この構成では、MOSFETのようなスイッチ素子の制御によって読み出し動作を行うものであるため約5Vのような単一の低電圧での動作が可能となって低消費電力化が図られるとともに、フォトダイオードの信号電荷を電圧信号に変換するキャパシタと出力キャパシタとの容量比に従い信号電荷の増幅動作を行わせることができ、しかもリセット電圧を基準にして読み出し信号を得るものであるため選択経路における素子特性のバラツキの悪影響を受けなくできる。

【図面の簡単な説明】

【図1】この発明に係るラインセンサの一実施例を示す概略回路図である。

【図2】図1のラインセンサの動作の一例を説明するた

めのタイミング図である。

【図3】この発明に係るラインセンサの他の一実施例を示す要部回路図である。

【図4】この発明に係るラインセンサの更に他の一実施例を示す要部回路図である。

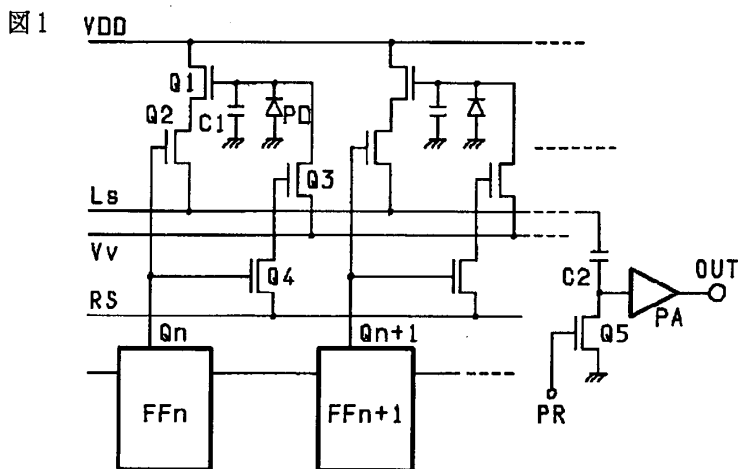
【図5】図3に示されたラインセンサの動作の一例を説明するためのタイミング図である。

【図6】図4に示されたラインセンサの動作の一例を説明するためのタイミング図である。

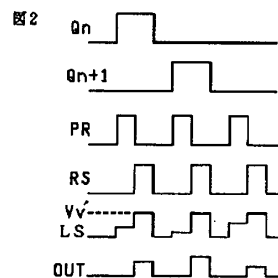
10 【符号の説明】

SR1, SR2…シフトレジスタ、PD…フォトダイオード、Q1~Q92…MOSFET、C1~C3…キャパシタ。

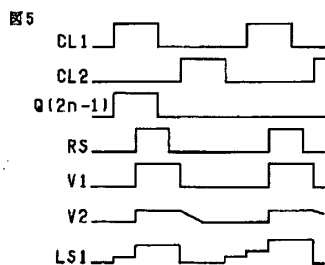
【図1】



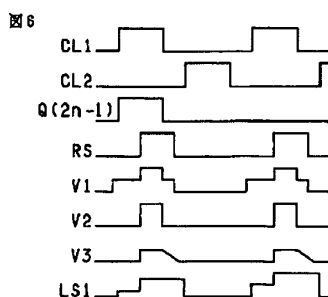
【図2】



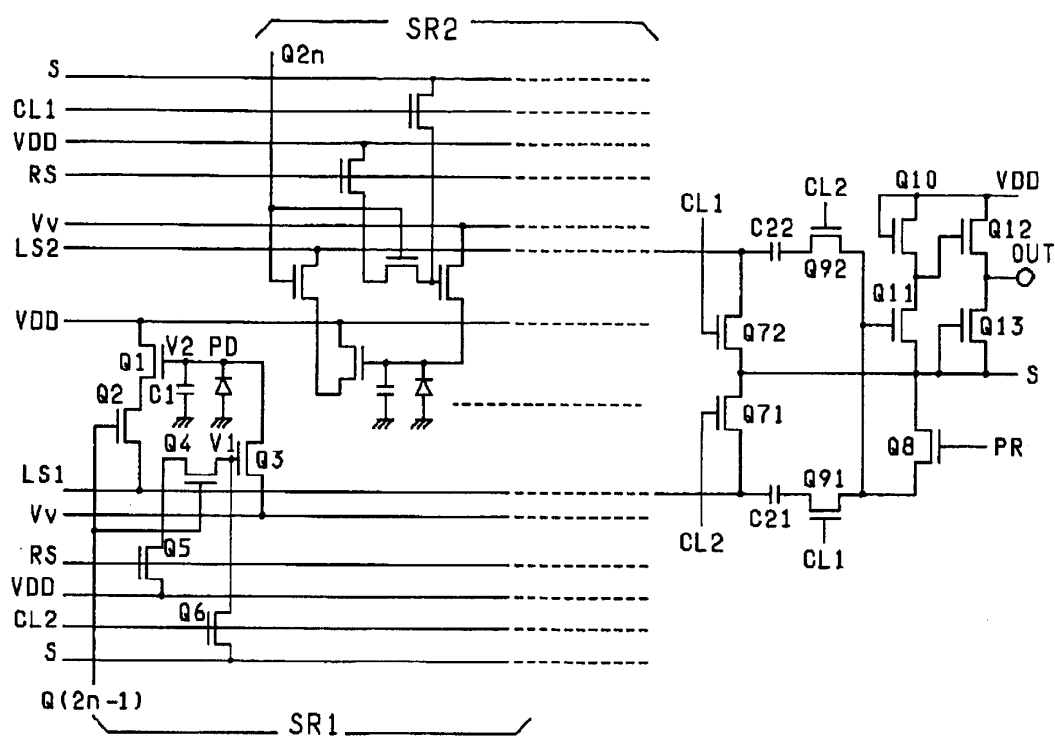
【図5】



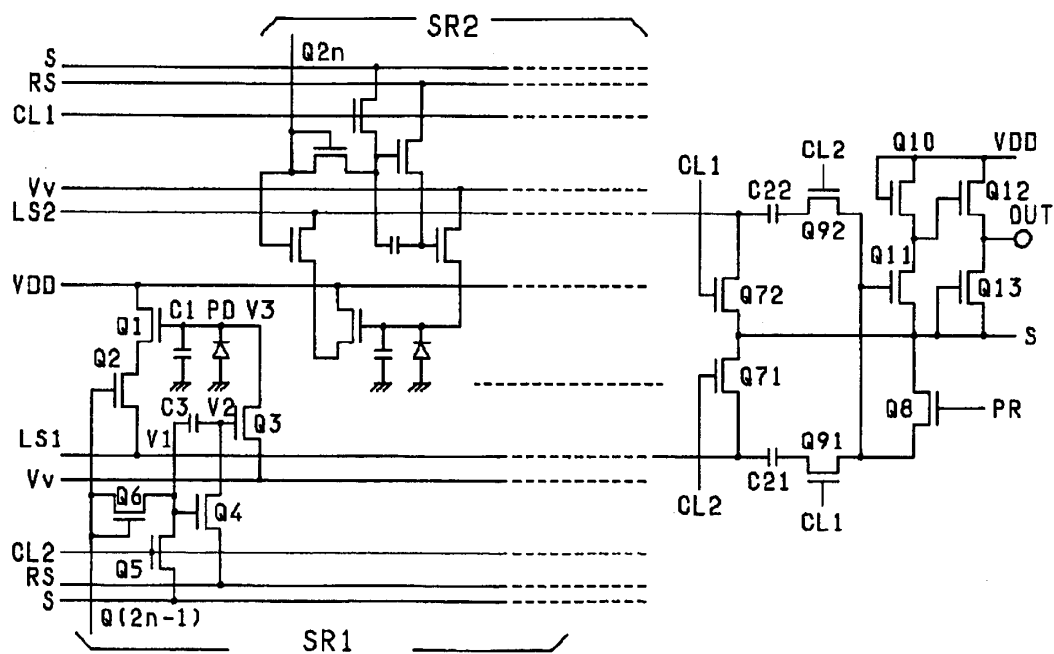
【図6】



【図 3】



【図 4】



フロントページの続き

(72)発明者 中村 重雄
千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(72)発明者 小倉 明
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内